

符号付き演算可能なSFQバタフライ演算回路の設計

Design of an SFQ Butterfly Circuit for signed number operation

坂下洋介, 加藤泰一, 山梨祐希, 吉川信行 (横浜国大)

SAKASHITA Yosuke, KATO Taiichi, YAMANASHI Yuki, YOSHIKAWA Nobuyuki (YNU)

E-mail: sakashita-yosuke-nm@ynu.jp

1. はじめに

FFT (Fast Fourier Transform) はフーリエ変換を計算機上で高速に行うための演算アルゴリズムであり、音声解析・画像解析など幅広い分野で応用されている。しかしながら、現在用いられている半導体集積回路を用いた FFT 専用のプロセッサは FFT の多量な演算によって発生する大きな消費電力と発熱量が問題となっている。そこで、我々は、FFT プロセッサの演算回路となるバタフライ演算回路を高速・低消費電力な SFQ (Single flux Quantum) 論理回路を用いて設計し、高速動作実証を行うことを目指している。

従来の研究において、AIST 10kA/cm² Nb アドバンスドプロセス (ADP 2.2) [1] を用いた 4 bit 整数型バタフライ演算回路の設計を行い、50 GHz における高速動作実証を行った [2]。しかしながら、設計した回路は負数演算が行えないという問題があった。本研究では、負数演算を可能にするアーキテクチャを検討し、それを基にバタフライ演算回路を設計した。

2. バタフライ演算

FFT はその単位演算であるバタフライ演算を再帰的に行う事によって実行できる。図 1 にバタフライ演算を実数部と虚数部に分けたときのブロック図を示した。バタフライ演算回路は、乗算器、加算器、減算器の 3 種類の要素回路によって構成されている。 $x(0)$, $x(1)$ は入力データ、 $X(0)$, $X(1)$ は出力データ、 W は FFT の回転因子である。また、 Re と Im はそれぞれ実数部と虚数部である。

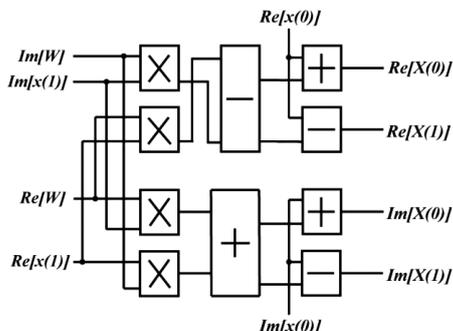


Fig.1 Block diagram of butterfly processing circuits

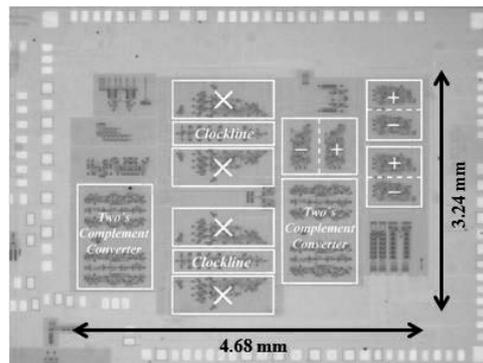


Fig.2 Microphotograph of the 4-bit signed butterfly processing circuit

3. 符号付き演算可能なバタフライ演算回路

本研究では、負数演算を実現するために乗算前にデータの絶対値変換を行い、乗算後に符号の積に応じて 2 の補数変換を行うアーキテクチャを検討した。この絶対値変換、2 の補数変換は同じ 2 の補数変換回路を用いて実現できる。

2 の補数変換回路は、符号ビットが '0' の時は入力されたデータがそのまま出力されて、符号ビットが '1' の時は入力されたデータが 2 の補数変換される回路である。2 の補数変換回路は、ビット数に対して面積が不変であるため、バタフライ演算回路の Bit 数増加による大規模化において有効である。

本研究では、上記の 2 の補数変換回路を用いて符号演算可能なバタフライ演算回路の設計を行った。図 2 に、ADP2.2 を用いて試作した 4 bit 符号演算可能なバタフライ演算回路のチップ写真を示す。設計した回路の接合数は 8355 接合、供給電流は 1.008 A、面積は 4.68×3.24 mm²、目標動作周波数は 50 GHz である。動作結果については発表で詳しく説明する。なお、本研究は一部 ALCA-JST の支援を受けた。

参考文献

1. S. Nagasawa, K. Hinode, T. Satoh, H. Akaike, Y. Kitagawa, and M. Hidaka, *Phys. C Supercond.*, Vol. 412-414 (2004) pp. 1429
2. 坂下洋介 他, "10kA/cm²プロセスを用いた SFQ FFT プロセッサ用整数型バタフライ演算回路の動作実証", 2014 電子情報通信学会総合大会, C-8-1, 新潟大, 2014 年 3 月 21 日.

10 kA/cm² Nb プロセスを用いた 単一磁束量子単精度浮動小数点乗算器の高速動作実証

High-speed Demonstration of SFQ Single-precision Floating Point Multipliers Using the 10 kA/cm² Nb Process

彭 析竹, 山梨 裕希, 吉川 信行(横浜国大)

PENG Xizhu, YAMANASHI Yuki, YOSHIKAWA Nobuyuki (Yokohama Nat. Univ.)

E-mail: peng-xizhu-ym@ynu.jp

1. はじめに

現在 CPU の演算速度がメモリの性能よりもはるかに高速なために、計算機全体の性能がメモリによって制限されている。我々はこれを打開するために SFQ 回路を用いた将来のハイパフォーマンスコンピュータシステムの技術として再構成可能なデータパス (LSRDP: large-scale reconfigurable data-path) を提案している[1]。また、そのコンポーネント回路として半精度の浮動小数点乗算器 (FPM) を AIST 2.5 kA/cm² Nb スタンダードプロセス (STP2) ならびに 10 kA/cm² アドバンスドプロセス (ADP2.2) を用いて設計、試作し、それぞれ 31.5 GHz ならびに 72 GHz での高速動作を確認している[2][3]。本研究では、LSRDP の実用化に向けた更なる FPM の大規模化を目指して、単精度 FPM (SFPM) の設計を行い、オンチップ高速測定により動作評価を行った。

2. 単精度 SFQ FPM の設計と測定結果

IEEE754 単精度浮動小数点規格では、符号部は 1bit、指数部は 8bit、仮数部は 24bit (隠れビットを 1 ビット含む) で構成される。図 1 に今回設計した単精度 FPM のチップ写真を示す。[3] の半精度 FPM のビット・シリアルアルゴリズムを利用し、仮数部と指数部の 2 つのデータパスを用意した。仮数部では主に乗算を、指数部では主に加算を行っており、仮数部でオーバーフローが発生した場合は正規化回路で正規化し、指数部演算回路に桁上げ信号を送る。仮数部乗算アルゴリズムの実現は、シストリックアレイ方式を採用しており、1ビットの乗算と加算を行なうプロセッシングエレメント(PE)を構成要素として、それを 24 個直列に接続することにより、24ビット乗算器を構成する。入力/出力用シフトレジスタとクロックジェネレータを含めて全体の JJ 接合数は 21917、回路面積は 6.66 mm × 3.70 mm、消費電力は 5.79 mW である。

今回、クロックジェネレータを用いてオンチップ高速測定を行い、仮数部、指数部共に 50 GHz 以上の周波数で完全動作を得ることができた。目標周波数 50 GHz において 21 番目の PE21 以外全ての回路ブロックは ±10% 以上十分な動作余裕度を持っている。しかし PE21 の制限により、回路全体の動作余裕度は約 ±4.1% であった。また、本 SFPM の最高動作周波数は 59 GHz であった。図 2 に SFPM の動作マージンの周波数依存性のシミュレーションと実測結果を示す。

PE21 は動作余裕度が狭く、また不安定動作領域が観測された。その原因は PE 内部の NDRO ゲートの問題と推測されるが、確認のため顕微鏡でチップの観測を行った。図 3 に PE21 の NDRO ゲートの拡大写真を示す。枠内で構造が歪んでいることが分かる。この歪みはウェハの製作際のアライメントズレに起因するものと考えられ、今回の PE21 の動作不良の原因の可能性が高い。

さらに、今回の測定では 3 チップ中、2 チップで高速動作が確認され、歩留まりは良好であった。また、今回の 2 万接合規模の SFQ 回路において、バイアス電流量が大きい回路ブロックの動作マージンが高バイアスにシフトしたが、動作マージンの絶対値は比較的大きく、バイアス電流はまだ主要な制限に

なっていない。従って、4 万接合規模の倍精度 FPM の実現が可能である。

なお、本研究は一部 ALCA-JST の支援を受けた。

参考文献

1. N. Takagi et al., "Proposal of a desk-side supercomputer with reconfigurable data-paths using rapid single flux quantum circuits," *IEICE Trans. Electron.*, vol. E91-C, pp. 350–355, March 2008
2. H. Hara et al., "Design, implementation and on-chip high-speed test of SFQ half-precision floating-point multiplier," *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, pp. 657–660, Jun. 2009.
3. X. Peng et al., "Design and High-Speed Demonstration of Single-Flux-Quantum Bit-Serial Floating-Point Multipliers Using a 10 kA/cm² Nb Process", *IEICE trans. Electron.*, Vol.E97-C, No.3, pp188-193, Mar. 2014

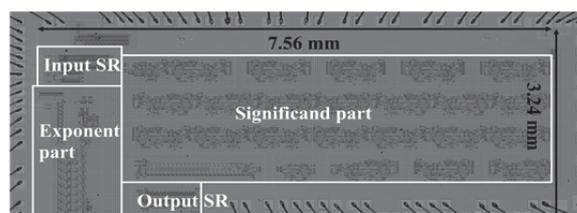


Fig.1 Microphotograph of a single-precision SFQ FPM

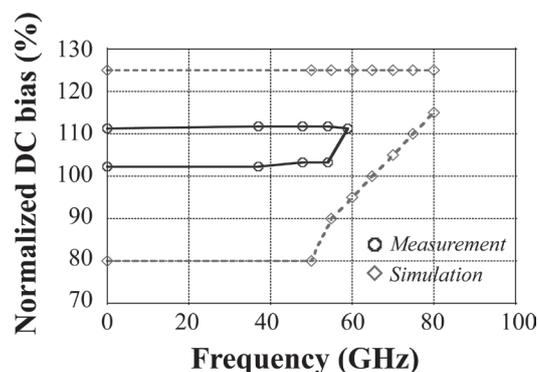


Fig.2. Dependences of simulated and measured DC bias margins of an SFPM on operating frequencies.

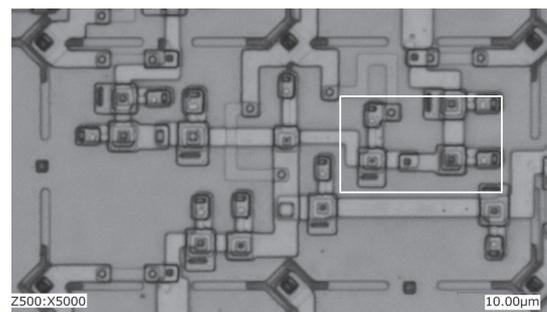


Fig.3. Enlarged microphotograph of the NDRO gate in the processing unit, PE21.

20kA/cm² プロセスによる低エネルギー単一磁束量子回路の評価

Evaluation of low-energy rapid single-flux-quantum circuits based on 20-kA/cm² process

田中 雅光, 上阪 岬, 喜多 佑真, 藤巻 朗(名大); 永沢 秀一, 日高 睦夫(産総研)

TANAKA Masamitsu, KOZAKA Misaki, KITA Yuma, FUJIMAKI Akira (Nagoya Univ.); NAGASAWA Shuichi, HIDAKA Mutsuo (AIST)

E-mail: masami_t@ieee.org

1. はじめに

臨界電流密度が 20kA/cm² のニオブプロセスによる、低エネルギー単一磁束量子回路の設計と試作を行った。電源電圧を下げることで静的消費エネルギーと動的消費エネルギーの双方を大幅に削減し、また、より高い臨界電流密度の作製プロセスを利用することで低電圧化による速度の低下を補い、従来と比べよりエネルギー効率の高い回路を実現した。本稿では、これらのパラメータの回路性能への影響の調査結果、及び回路の試作結果について報告する。

2. 設計

低電圧単一磁束量子 (LV-RSFQ) 回路は、従来よりも低い定電圧駆動により消費エネルギーを下げる手法である。電圧が 0.1-1.0 $I_c R$ (I_c はジョセフソン接合の臨界電流値, R はシャント抵抗とサブギャップ抵抗の並列抵抗) の範囲で最小のエネルギー・遅延積 (EDP) が得られるため [1], 本研究では電源電圧を従来の 1/5 となる 0.5 mV (約 0.4 $I_c R$) とした。このとき、ジョセフソン接合のスイッチ時間は、およそ 20% だけ増大する。

より高速なスイッチング時間を得るため、新たに臨界電流密度が 20kA/cm² のニオブ 4 層プロセスを開発した。スイッチ速度はマッカンバー係数 β_c にも依存するが、今回は集積密度への影響を考慮して 1.4 とした。 $I_c R$ の設計値は 1.15mV である。数値計算によると、 β_c を 1.0-2.0 とした 10kA/cm² プロセスによるデバイスと比べ、15-40% の速度向上が見込まれる。

Fig. 1 にジョセフソン伝送路 (JTL) におけるスイッチ速度を計算した比較結果を示す。10kA/cm² プロセスにおける標準の設計 (電源電圧 2.5mV, $\beta_c = 2.0$) と速度は同程度となり、その結果として EDP において 5 倍の改善が期待できる。

3. 回路の試作

論理ゲートと配線要素を含む小規模なセルライブラリを、標準電圧及び低電圧で設計し、トグルフリップフロップ、シフトレジスタ、ビットシリアル加算器などのテスト回路を試作した。セルは 40 μ m を単位サイズとした矩形である。作製ばらつきを抑制するため、ジョセフソン接合は円形にレイアウトした。実現可能なジョセフソン接合は、最小で直径 0.564 μ m ($I_c = 0.05$ mV) を想定している。これまで我々が用いてきた正方形の形状に比べ、縮小値の変化 (増加) が予想されたため、0.3 \pm 0.05 μ m の縮小値に対応できるよう設計を行った。

ジョセフソン接合アレイの評価結果から、 I_c の 1 σ ばらつきは 2% 以下であり、集積回路に用いるのに十分な水準での作製が可能であると判断した。Fig. 2 に LV-RSFQ 回路によるシフトレジスタのテスト回路の顕微鏡写真を示す。ジョセフソン接合数は約 300 である。オンチップ発振器を用いた高速試験の結果を Fig. 3 に示す。今回評価したチップの臨界電流密度は 24kA/cm² であったが、約 90GHz までの動作を確認した。

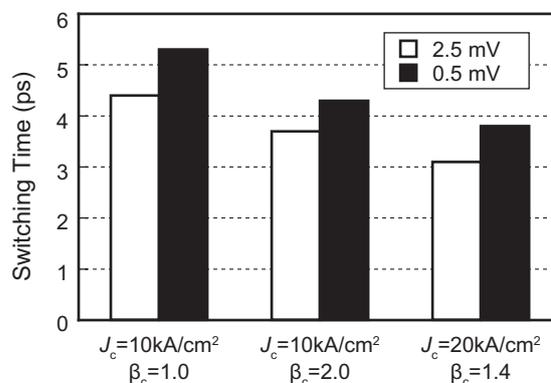


Fig. 1 Switching time of Josephson transmission line (JTL).

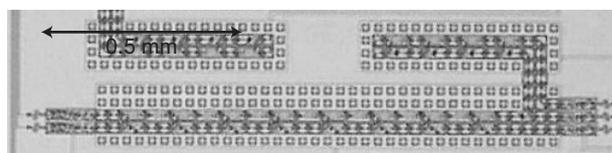


Fig. 2 Microphotograph of LV-RSFQ 8-bit shift register.

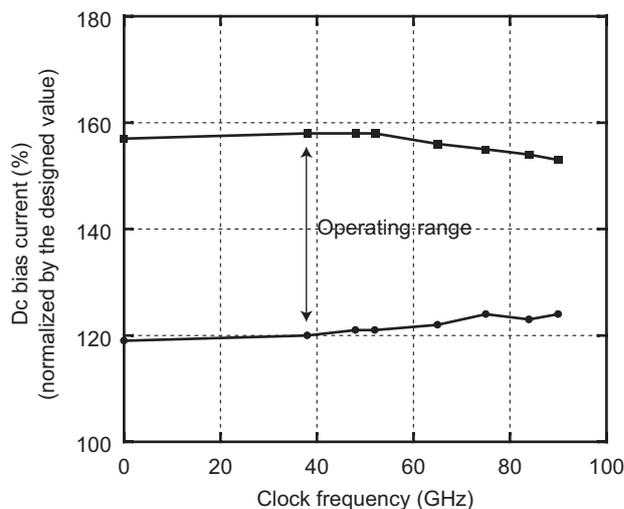


Fig. 3 Frequency dependence of bias margin of shift register.

参考文献

- M. Tanaka, et al.: Jpn. J. Appl. Phys., vol. 51 (2012) p. 053102.

謝辞

本研究は JST ALCA 及び 科学研究費 (23226019, 25630171) の助成を受けたものである。本研究に使用した回路は、(独)産業技術総合研究所(AIST)の超伝導クリーンルーム (CRAVITY) において作製された。また、本研究の一部は東京大学大規模集積システム設計教育研究センターを通しケイデンス株式会社の協力で行われたものである。

単一磁束量子時間測定回路と超伝導ストリップイオン検出器を用いた 飛行時間型質量分析

Time-of-Flight Mass Spectrometry using a Single-Flux-Quantum Time-to-Digital Converter and a Superconducting Strip Ion Detector

佐野 京佑, 村松 祐希, 山梨 裕希, 吉川 信行(横浜国大); 全 伸幸, 大久保 雅隆(産総研)
 SANO Kyosuke, MURAMATSU Yuki, YAMANASHI Yuki, YOSHIKAWA Nobuyuki (Yokohama Nat. Univ.);
 ZEN Nobuyuki, OHKUBO Masataka (AIST)
 E-mail: sano-kyosuke-cw@ynu.jp

1. はじめに

医療・化学分野において質量分析の手法の一つとして飛行時間型質量分析法(TOF-MS, Time of Flight Mass Spectrometry)が広く用いられている。近年, 生体高分子の高精度質量分析に向け超伝導ストリップイオン検出器(SSID, Superconducting Strip Ion Detector)の研究がされている[1-3]。SSID を用いることで分子量に依存しない高感度な検出が可能となる。しかし, 従来の検出器の検出面積が 100 mm² 以上であるのに対し, SSID の検出面積は数 mm² と検出効率の点で劣る。SSID のアレイ化により本課題は解決可能だが, 冷凍機から多量の配線を室温へ引き出し信号を読み出す必要が生じ, 冷却コストと読み出し回路の複雑化が課題となる。

本問題の解決のため, 我々は単一磁束量子(SFQ, Single Flux Quantum)回路[4]を用いた高分解能時間測定回路(TDC, Time-to-Digital Converter)の開発をしている。SFQ 回路を信号処理回路として SSID と同一の極低温環境に組み込むことで最低限の配線にて高速かつより高度な分子分析が望める。

今回, SSID を搭載した冷凍機と SFQ TDC を搭載した冷凍機間を室温を介して繋ぎ, 分子量 14.388 kDa のリゾチームを対象に質量分析の基礎実験を行った。

2. SFQ 時間測定回路の構成と測定環境

SSID の検出信号の立ち上がりが数百 ps であるため TDC の時間分解能は 100 ps に, 検出目標の最大分子量が 60 万 Da であるためダイナミックレンジは 1.6 ms に設定した。本回路は AIST 2.5 kA/cm² 標準プロセス 2 を用いて製作された。TDC の構成を Fig. 1 に, セットアップを Fig. 2 に示す。

マトリクス支援レーザー脱離イオン化法(MALDI, Matrix Assisted Laser Desorption/Ionization)を用いて試料(リゾチーム)をイオン化し SSID にて検出する。検出信号を室温のプリアンプで増幅し SFQ TDC へと入力し飛行時間を求める。SFQ TDC からの出力信号は差動増幅器により増幅し LabVIEW にて処理する。

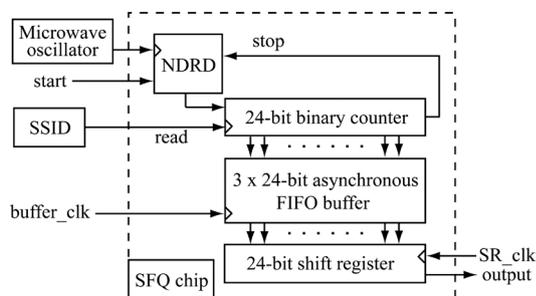


Fig.1 Block diagram of the SFQ TDC

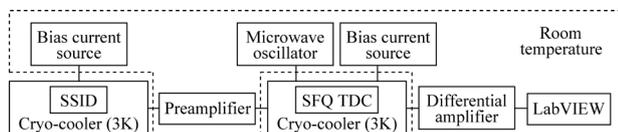


Fig.2 Measurement setup

3. SFQ TDC を用いた質量分析実験

Fig. 2 のように装置を構成し, SFQ TDC を用いて分子量 14.388 kDa のリゾチームの飛行時間を計測した。今回得られたヒストグラムを Fig. 3 に示す。

Fig. 3 からリゾチームのマスペクトルの取得に成功したことが確認できる。ただし, 本ヒストグラムは刻み幅 1 μ s でプロットされたものであり, 極めてブロードなピークが確認された。これは使用した試料の劣化が原因であると考えられ, 以降は劣化していない新鮮な試料にて実験を継続予定である。

また, 今回の実験では, SSID と SFQ TDC は異なる冷凍機に実装されており, SSID にて検出された信号を一度室温に読み出し増幅した後に SFQ チップの搭載された冷凍機に再度入力するというセットアップになっている。今後は, セットアップを最適化し両回路を同一の冷凍機内にて最低限の配線にて接続し分析実験を行う予定である。

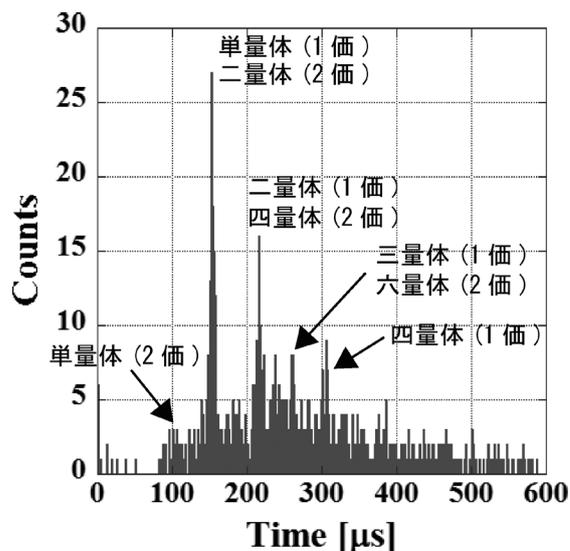


Fig.3 Time-of-flight mass spectrum of Lysozyme. The time resolution in the histogram is 1 μ s.

謝辞

本研究に使用された回路は, (独)産業技術総合研究所(AIST)の超伝導クリーンルーム(CRAVITY)において, AIST-STP2 プロセスを用いて作製された。

参考文献

1. K. Suzuki, et al.: Rapid Commun. Mass Spectrom., Vol. 24 (2010) p.3290
2. A. Casaburi, et al.: Appl. Phys. Lett., Vol. 98 (2011) 172508
3. N. Zen, et al.: Physics Procedia, Vol. 27 (2012) p.356
4. K. K. Likharev and V. K. Semenov, IEEE Trans. Appl. Supercond., Vol. 1 (1991) p.3

STEM-EDS 用 64pixel 画素 TES 型 X 線マイクロカロリメータの設計と試作

Design and fabrication of 64pixel TES X-ray micro-calorimeter for STEM-EDS

林 佐, 永吉 賢一郎, 満田 和久, 山崎 典子, 竹井 洋 (ISAS/JAXA); 前畑 洋介 (九州大学);
原 徹 (NIST); 田中 啓一 (日立ハイテクサイエンス); 山口 静哉, 宮崎 直人 (首都大学東京)

HAYASHI Tasuku, NAGAYOSHI Kenichiro, MITSUDA Kazuhisa, YAMASAKI Noriko, TAKEI Yoh (ISAS/JAXA);
MAEHATA Kyosuke (Kyusyu Univ); HARA Toru (NIST); TANAKA Keichi (Hitachi High-Tech Science Corporation);
YAMAGUCHI Seiya, MIYAZAKI Naoto (Tokyo Metropolitan Univ)
E-mail: tasuku@astro.isas.jaxa.jp

1. 学術的研究背景

先端材料の開発において、試料をナノスケールの領域で組成分析できる走査透過型電子顕微鏡 (Scanning Transmission Electron Microscope - Energy Dispersive Spectroscopy : STEM-EDS) は重要である。しかし現状の STEM-EDS では使用者側から要求される感度、精度を実現出来ていない。組成分析には特性 X 線の分光が主流であるが、検出器 (Si 半導体検出器) のエネルギー分解能が低いことがその要因の一つになっている ($\Delta E \sim 130\text{eV}@5.9\text{keV}$)。そこで我々は半導体検出器の代わりに高いエネルギー分解能と分光性能を併せ持つ TES (Transition Edge Sensor) 型 X 線マイクロカロリメータを用いることを試みている。過去のプロジェクトでは TEM に 1 pixel の TES を搭載し、従来の検出器よりも約 5 倍以上良いエネルギー分解能を得ることに成功した (Fig1) [1]。

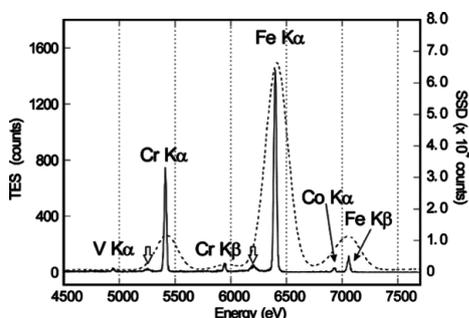


Figure 1: 点線が CCD によるスペクトル, 実線が TES によるスペクトル [1]

TES カロリメータは、超伝導遷移端における急峻な抵抗変化を高感度の温計として利用し、入射 X 線による素子の微小な温度上昇を精密に測定することで、高いエネルギー分解能を得ることが出来る分光検出器である。典型的な TES 型カロリメータは熱雑音の低い極低温 ($T \sim 0.1$ [K]) で動作し、熱容量を $C \sim 1$ [pJ/K], 温度計感度を $\alpha \sim 100$ とすると 2 eV のエネルギー分解能を達成出来る。

2. STEM 用カロリメータの設計と評価方法

STEM ではナノスケールの領域を試料全域にわたってスキャンする必要がある。現実的な時間で試料の分析を行うには pixel 数を増やし、カウントレートを稼ぐ必要がある。そこで我々は pixel 数を 64 個に増やし、開口率が 83% になるように設計を行った。しかし、64 pixel の TES を同時に

読み出すには最低でも 1 pixel あたり 8 本の配線が必要になり、極低温への熱流入が問題となる。そこで TES のバイアスラインの共有化をし、8 pixel を 1 セットとして読み出しを行うことで配線数を減らす。8 pixel のバイアスラインの共有化は初の試みであり、TES のみの転移特性のバラツキを評価する必要がある。3 m 角に 64pixel の TES を形成し、中心から外側にかけて 8 pixel を選び (Fig1), ワイヤーボンディングで直列につないで転移温度のバラツキを測定した。測定には首都大にある希釈冷凍機を用いて極低温で測定を行った。

3. 結果と今後

冷却試験の結果を Fig2 示す。1 pixel での転移温度は ~ 195 mK であった。また Fig2 の結果から、8 pixel の転移温度のバラツキは 2 mK の間であり、バラツキは小さいと言える。これにより、バイアスラインの共有化に対して TES に問題無いことが言えた。今後は TES に配線、吸収体、メンブレンを形成し X 線照射試験を行いエネルギー分解能を出していく。

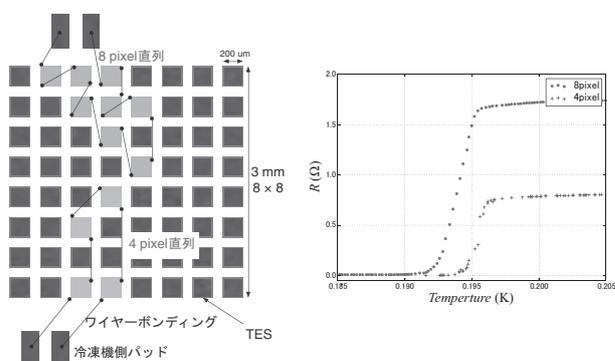


Figure 2: 左 : 8 pixel と 4 pixel を直列につないだ模式図, 右 : 8 pixel 及び 4 pixel を直列に繋いで測定した R-T 曲線

References

- [1] Hara, T et al. 2010. Microcalorimeter-type energy dispersive X-ray spectrometer for a transmission electron microscope. *Journal of Electron Microscopy*, 59(1), 17-26.
- [2] K Nagayashi. 2012. Master's thesis, University of Tokyo.

超電導デジタル回路用冷凍機システムの設計

Design of a cooling system used for superconductor digital circuits

藤巻 朗 (名古屋大学)

FUJIMAKI Akira (Nagoya University)

E-mail: fujimaki@nu.uee.nagoya-u.ac.jp

1. はじめに

単一磁束量子 (RSFQ) 回路に代表される金属超電導デジタル回路は集積化が進み、多元超電導検出器の出力のリアルタイム信号処理や、高速低消費電力のマイクロプロセッサなどへの応用を目指して研究が進められている。冷凍機を用いた超電導検出器応用では、よりコンパクトなシステムが求められることが多く、低温下で信号処理回路を行うことを考慮しても、使用される冷凍機の冷却能力は必ずしも大きくない。また計算機応用では、半導体など現行技術に対する優位性が要求され、冷却に必要なエネルギーも含めた消費エネルギーと高速性が論点となる。

超電導集積回路の消費電力は、非常に小さい。したがって、実用化の上では、動作温度である 4K ステージへの熱流入や、集積回路以外での発熱をいかに抑えるかが重要となる。一方、室温エレクトロニクスとは広帯域で信号をアクセスする必要があり、同軸ケーブルなどの導波路の利用が不可欠である。直流バイアス電流もケーブル 1 本当たり、最大で 200mA 程度が必要である。これらは、熱流入や発熱の抑制に対し大きな障害となっている。我々は、0.1W の冷凍能力を持つ 4K-GM 冷凍機のもとで超電導集積回路を動作させることを目標に、冷凍機の内部構造にさまざまな技術の導入を試みている。本稿では、設計時の検討結果について報告する。

2. 4K ステージにおける熱流入および発熱の抑制

上述のように、超電導集積回路自身の発熱は非常に小さい。ここでは、3000 接合規模から成る低電圧 RSFQ 回路[1]の実証を目的に、冷凍機の熱負荷計算を行うが、回路自身の消費電力はたかだか 0.2mW である。したがって、設計の中心は、接触抵抗を含む各種配線抵抗でのジュール熱の抑制、ならびに 60K ステージからの熱流入の抑制が課題となる。

4K ステージへは、高周波信号線 10 本、大電流 (100mA 以上を想定) バイアスツイスト線 5 対、小電流バイアスツイスト線 11 対、ヒーターツイスト線 2 対、温度センサ用ケーブル 2 対が 60K ステージから接続されている。ツイスト線が用いられているのは、磁場の影響を抑制するためである。

高周波信号線は、低電圧 RSFQ 回路の出力を広帯域で取り出すために用いられる。4K ステージ上の配線については銅のセリジッド線を用いているが、RSFQ 回路の出力電力は小さく、ジュール熱は無視できる。したがって、発熱に関しては、直流バイアス線が問題となる。そこで、同軸ケーブル以外の 4K ステージでの配線には、すべて NbTi 線を用いた。なお、コネクタの接触抵抗や集積回路チップとホルダー間の接触抵抗が残る。後者は、室温での実測で最大でも 50mΩ であった。大電流バイアスツイスト線すべてに 100mA を流したことを想定すると、5mW の発熱となる。

熱流入の抑制と広帯域信号アクセスを両立させるために、YSZ 基板上に堆積した $\text{YBa}_2\text{Cu}_3\text{O}_y$ (YBCO) 薄膜を加工し、コプレナー型導波路を形成した。YBCO は超電導体であることから、熱はほとんど伝えず、一方で導波路を構成することで高周波信号も通すことが可能となる。この場合の熱流入は、YSZ 基板を介して起こる。YSZ は熱伝導率が 1.8 W/m/K と他の絶縁体基板と比べ小さい。今回使用した基板は、40mm x 40mm、厚さは 0.25 mm となっている。Fig. 1 は、実際の冷凍機の 4K ステージ近傍の写真である。図の右側が YSZ 基板上のコプレ

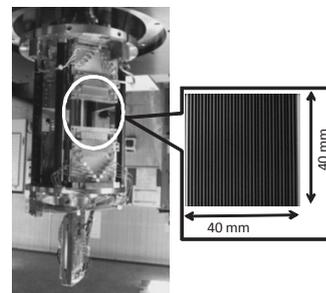


Fig. 1 Photograph of the 4-K stage of GM-cryocooler developed in this study. HTS coplanar lines are also displayed.

ナー線となる。YBCO と 4K 側、60K 側の導線とはボンディングで結線され、熱流入は基板 1 枚当たり 25mW と算出される。

コプレナー構造は、芯線が 0.72 mm 幅、両側の接地面からは 0.5 mm 離れた構造を取っており、特性インピーダンスは 50Ω を確保している。1 つの基板には、11 本の導波路が構成される。また、この YBCO 断熱配線を、バイアス線等すべての配線に適用した。その結果、基板は 3 枚を要し、計 75mW の熱流入となる。この熱流入量は CuNi などの熱伝導率の悪い金属を用いて導波路を構成した場合と比べ、10mW 以上、熱流入を抑制している。しかも、大電流を供給しても、熱流入量は変化しない。現在は、基板をさらに薄くすることも可能で、熱流入をよりいっそう抑制することも可能となっている。

3. 60K ステージにおける熱流入の抑制

60K ステージは比較的大きな冷凍能力を有している。したがって現時点では、必ずしも熱流入抑制のための特別な工夫は必要としない。しかしながら、将来は 60K ステージに、半導体増幅器を配置し、広帯域かつ高 S/N 比で RSFQ 回路の出力信号を増幅する必要がある。使われる増幅器の消費電力を考慮すると、やはり室温からの熱流入を抑制する必要がある。そこで、本システムでは大電流バイアス線に対し、ペルチェ電流リード技術[2]を導入した。計算上も現時点では、熱流入抑制効果は限定的ではあるが、より大電流を必要とするような場合には、大きな効果を発揮するものと考えられる。

4. まとめ

超電導集積回路を冷凍機下で動作させるために導入した断熱技術、低発熱技術を紹介した。とりわけ YBCO 広帯域断熱配線は集積回路動作には不可欠な技術となると考えられる。今後は、実測による性能評価を行う計画である。

謝辞

本研究は JST-ALCA ならびに科研費基盤研究 S (22226009) の支援を受けている。

参考文献

1. M. Tanaka, et al.: Jpn. J. Appl. Phys., Vol.51 (2012) 053102
2. T. Yamaguchi, et al.: IEEE Trans. Appl. Phys., Vol. 14 (2004) p.1719

ジョセフソン電圧標準用素子評価システムの開発

A Measurement System for Characterization of Josephson Voltage Standard Devices

佐々木 仁, 東海林 彰, 山森 弘毅, 神代 暁(産総研)

SASAKI Hitoshi, SHOJI Akira, YAMAMORI Hirotake, KOHJIRO Satoshi (NeRI/AIST)

E-mail: hitoshi-sasaki@aist.go.jp

1. はじめに

産業技術総合研究所では、産業応用を目的として、小型冷凍機を用いたコンパクトなジョセフソン電圧標準システムの開発を行っている。本装置の中核となるプログラマブル・ジョセフソン電圧標準素子(Programmable Josephson Voltage Standard Chip /以下「PJVS チップ」と略す)は、ジョセフソン接合が約 6 万個集積された超伝導集積回路であるが、高精度な電圧基準として用いるためには、温度特性や動作マージン、耐ノイズ性能などについて、詳細な評価を行う必要がある。また、製品化を念頭に置いた場合、作成された素子の中から精密な電圧発生が可能な素子を効率よく選別する手法が重要になる。本報告においては、既存のジョセフソン電圧標準システムをベースとして開発された素子評価・選別システムについて、評価システムの構成や動作原理および評価・選別方法について報告する。

2. ジョセフソン電圧標準素子

PJVS チップには、産総研の独自技術である NbN/TiN/NbN 型のジョセフソン接合[1]が用いられ、11K~12K での動作を可能としている。約 5mm x 15mm 角のチップに約 65,000 個のジョセフソン接合が集積されており、出力 2V、分解能 10bit のバイナリ型 D/A 変換回路の機能を有している。

PJVS チップおよびチップキャリアの写真を Fig.1 に示す。PJVS チップは、外形 4cm x 5cm のチップキャリアの中央部にチップキャリア用プリント基板を介してマウントされる。PJVS チップとプリント基板間の接続には Al 線のワイヤー・ボンディングおよびリボン・ボンディングが用いられている。また PJVS チップを熱接触により冷却するため、チップ裏面はインジウムハンダによりサファイア基板に密着され、さらにインジウムシートを介して銅製のチップキャリア筐体に熱接触させている。

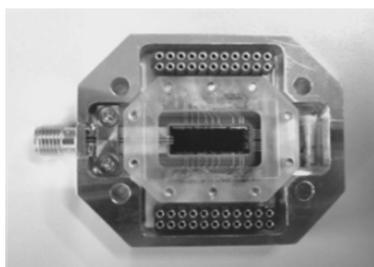


Fig.1. PJVS-Chip and Chip-Carrier.

3. 評価システム

評価システム全体の構成を Fig.2 に示す。既存のジョセフソン電圧標準システム[2]をベースとして開発され、CTI 社の小型極低温冷凍機を用いて、PJVS チップを 10K 付近まで冷却している。一体型として本体筐体内に収納されていたクライオスタットは、PJVS チップの交換を容易にするため、本体筐体から分離して独立型に変更された。制御回路系は、PJVS チップ内の各接合アレーに低ノイズのバイアス電流を供給する 16 チャンネルの電流源(Bias Current Source)、PJVS チップに約 16GHz のマイクロ波を供給するマイクロ波発生器(Microwave Generator)、および PJVS チップの温度を極低温下で安定に制御するための温度制御回路(Temperature Controller)の 3

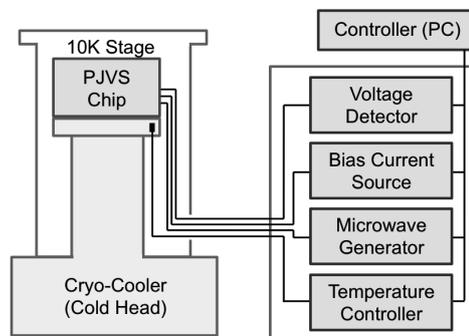


Fig2. Schematic Diagram of Evaluation System.

モジュールから構成される構造を踏襲している。一方、既存の電圧標準システムに設置されている電圧増倍モジュールの機能の一部を流用し、PJVS チップの出力を精密に測定するための電圧検出回路(Voltage Detector)として利用している。また上記標準システムでは機器組込み型のパネル PC を用いて制御を行っていたが、素子評価・選別用のシステムにおいては、作業の効率化のため外部 PC を使い、USB-I/F を介して本体機器の制御およびデータ収集を行う形に変更した。

4. 評価・選別方法

PJVS チップの素子評価・選別を行うため、下記の測定項目に分けて評価を行う。

[1] 常温導通試験: PJVS 素子をチップキャリアにマウントした状態で、各入力端子とグランド(チップキャリア筐体)間の抵抗値と非線形性を評価する。

[2] 低温絶縁試験: PJVS 素子をクライオスタットに搭載して極低温に冷却した状態で、PJVS 回路の各入力とグランド(クライオスタット筐体)間のリークを測定する。

[3] 温度・RF パワー特性: PJVS 素子にマイクロ波パワーを印加した状態で、温度と RF パワーを変化させ、PJVS 素子の電流-電圧特性に対する影響についてマッピングを行う。この情報を用いて最適な動作温度と RF パワーを推定する。

[4] 磁束トラップ特性: [3]で決定した動作温度および RF パワーにおいて、定電圧ステップ(一次ステップ)のバイアス電流幅(動作マージン)に対する磁束トラップの影響を評価する。磁束トラップは確率的な事象なので、デトラップ操作とマージン測定を組み合わせて繰り返して統計的評価を行う。

[5] RF 周波数特性: 同じく[3]で決定した動作温度および RF パワーレベルにおいて、マイクロ波周波数を変化させ、バイアス電流幅(動作マージン)に対するマイクロ波周波数の影響を調べる。

講演では、このような方法で評価を行ったいくつかの PJVS 素子について、その典型的な特性について例示するとともに、素子選別に際しての良否判定基準について報告する。

参考文献

1. H. Yamamori, T. Yamada, H. Sasaki, S. Kohjiro, IEICE Trans. Electron., Vol.E95-C, No.3, March (2012)
2. H. Sasaki, H. Yamamori, T. Yamada, A. Shoji, S. Kohjiro, CPEM Digest, 2010, Deajon, Korea

機械式冷凍機を用いたプログラマブルジョセフソン電圧標準の直流応用

Programmable Josephson voltage standard system using mechanical cooler toward DC applications

丸山 道隆, 岩佐 章夫, 山森 弘毅, 天谷 康孝, 浦野 千春, 金子 晋久(産総研); 高橋 ひかり, 桐生 昭吾(都市大)

MARUYAMA Michitaka, IWASA Akio, YAMAMORI Hirotake, AMAGAI Yasutaka, URANO Chiharu,

KANEKO Nobu-hisa (AIST); TAKAHASHI Hikari, KIRYU Shogo (TCU)

E-mail: m-maruyama@aist.go.jp

1. はじめに

物理量の基準となる“ものさし”(計量標準)のなかで, 直流電圧の国家標準はジョセフソン効果を利用して実現されている[1]。従来のジョセフソン電圧標準(CJVS)システムでは, 市販のツェナーダイオードを用いた標準電圧発生器(ツェナー標準器)を, 9桁の精度で校正することが可能な一方で, その動作に液体ヘリウムを必要とする, 任意電圧を連続的に校正することが難しい, などの課題があった。これらの課題を解決するため, 産総研では機械式冷凍機を用いたプログラマブルジョセフソン電圧標準(PJVS)システムの開発を進めている。近年, PJVSは, 直流・交流[2]の両分野において注目され, 世界的に研究が行われている。本稿では, PJVSの直流電圧標準分野への応用に着目し, 既存の国家標準システムへの組み込みや比較測定の結果, チップ発熱の動作マージンへの影響などについて紹介する。

2. プログラマブルジョセフソン電圧標準(PJVS)システム

図1(a)にPJVSの動作原理を示す。PJVSでは, ジョセフソン接合アレイをバイナリなセグメントに分割し, 各セグメントに印加するバイアス電流をON/OFF制御することによって, LSBを最小単位とした任意の電圧値を出力可能とする。各出力電圧の大きさは, ジョセフソンの式に基づいて量子化されており, 超高安定なD/Aコンバータとして機能する[3]。また, CJVSでは電流-電圧特性にヒステリシスをもつアンダーダンパ型のSIS接合が用いられていたのに対し, PJVSではオーバーダンパ型のSNS接合が用いられる。その結果, バイアス電流に対して一意に出力電圧が決まり, 電圧ステップ間を遷移することがなくなるため, ノイズ耐性が向上する利点もある。

図1(b)と1(c)に, それぞれ産総研で作製されたPJVS素子チップ[4]と, 開発中のPJVSシステムの写真を示す。素子チップは液体ヘリウムフリーなGM冷凍機によって10K前後の温度に冷却される。524 288個のNbN接合アレイ素子には, 約16GHzのマイクロ波が照射され, PC制御されたバイアス回路からは, 各セグメントに最適なバイアス電流が供給される。

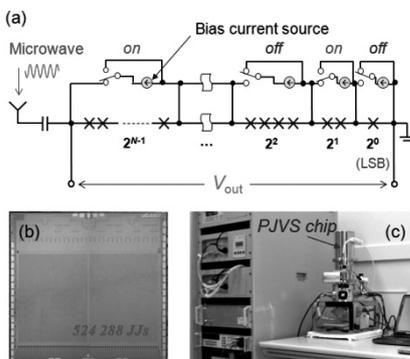


Fig.1 (a) Equivalent circuit diagram, (b) fabricated chip, and (c) cryocooler system of PJVS

3. 比較測定の結果と新しいトレーサビリティ体系

新たに開発したPJVSシステムの妥当性を確認するため, 従来のCJVSシステムとの比較測定を行った。図2に, 両出力の差電圧を測定した直接比較の結果を示す。公称10Vお

び1.018Vのどちらにおいても測定の不確かさ(図中の赤色点線)の範囲で一致する結果が得られ, 両システムの同等性を確認した。今後は, 従来のCJVSによるツェナー標準器の校正に加え, PJVSによるツェナー標準器の校正や, 直流電圧計(DVM)の線形性評価などが可能になると考えられる。

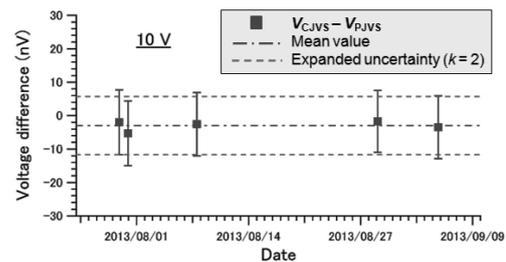


Fig.2 Results of direct comparison between PJVS and CJVS

4. チップ発熱の影響評価

前節の比較測定等により正常動作を確認した一方で, 電圧生成実験において, 出力電圧の増加に伴い, 素子チップの発熱が動作マージンに影響することが分かった。図3に, 冷却ステージ上に実装されたチップを単純化したモデルを用い, 差分法により計算したチップ表面温度と接触面の熱伝導度との関係を示す。10Vの出力電圧に対応した発熱量($P = 0.30$ W)のときには, 熱伝導度が0.3 W/K以下の場合に, チップ表面温度が冷却ステージ温度(10 K)より0.1 K以上上昇する結果が得られた。チップの熱接触抵抗が, 出力電圧値に依存した最適バイアス点の変動の原因である可能性が示唆される。現在, さらに詳細なモデルによる解析と, チップ実装の改善を検討中である。

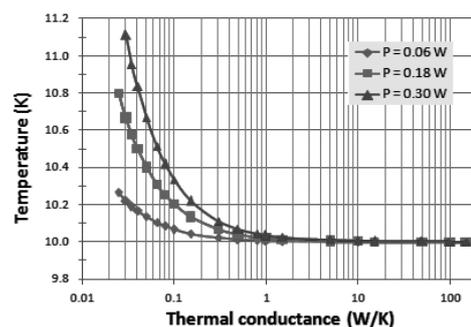


Fig.3 Calculation results of chip-surface temperature vs thermal conductance based on simplified thermal model

参考文献

1. Y. Murayama, et al.: IEEE Trans. Instrum. Meas., Vol.46 (1997) p.233
2. Y. Amagai, et al.: Abstracts of CSJ Conference, May (2014)
3. C. A. Hamilton, et al.: IEEE Appl. Supercond., Vol.2-3 (1992) p.139
4. H. Yamamori, et al.: Supercond. Sci. Technol., Vol.22 (2009) p.095010

機械式冷凍機を用いたプログラマブルジョセフソン電圧標準の交流応用

Programmable Josephson voltage standard system using a mechanical cooler toward AC applications

天谷 康孝, 丸山 道隆, 山森 弘毅, 浦野 千春, 藤木 弘之, 金子 晋久 (産総研)
 AMAGAI Yasutaka, MARUYAMA Michitaka, YAMAMORI Hirotake, URANO Chiharu, FUJIKI Hiroyuki,
 KANEKO Nobu-Hisa (AIST)
 E-mail: y-amagai@aist.go.jp

1. 緒言

プログラマブルジョセフソン電圧標準システム (PJVS: Programmable Josephson Voltage Standard) は、量子力学に基づく超高安定な D/A コンバータとして動作し[1], その主要な用途として直流電圧標準, 交流電圧標準への応用が期待されている。本稿では、特に 10Hz 以下の交流電圧標準への応用に向けた産総研での取り組みを紹介する。

PJVS は、バイナリに区切られたジョセフソン接合をスイッチングにより動的に変化させることで、実効値が量子力学的に可計算なステップ状交流波形を生成する。その一方、バイアス回路のスイッチングにより生じるトランジェントノイズが課題である [2]。この課題を解決するため、量子化電圧ステップのみを離散的に測定するサンプリング測定が提案され、 $1 \mu\text{V/V}$ レベルの精度が得られている[3], [4]。一方、測定電圧レンジは PJVS の出力電圧により 1V 程度に止まり、本格的な実用化には電圧範囲の広域化が必須の課題である。産総研では、液体ヘリウム冷媒不要の機械式冷凍機を用いた、直流 PJVS(DC-PJVS)[5]および交流 PJVS(AC-PJVS)の開発を進めている。これまで、チップ交換と冷凍機動作の最適化を行い、実効値電圧 10 V の交流波形生成に成功した[6]。そこで、本研究では、AC-PJVS を用いたサンプリング測定回路を構築し、10 V の正弦波交流電圧波形の実効値測定を試みた。

2. 実験方法

Fig. 1 にはサンプリング測定システムのブロック図を示した。サンプリング測定回路は、半導体型正弦波発生装置, AC-PJVS システム, サンプリングデジタル電圧計(DVM)から構成される。また、サンプリング DVM には、高分解能で線形性に優れたデジタル電圧計を選択した。AC-PJVS システム, 半導体型交流電圧発生装置, サンプリング DVM は任意波形発生装置(AWG)を介し 10 MHz の基準信号源と同期している。

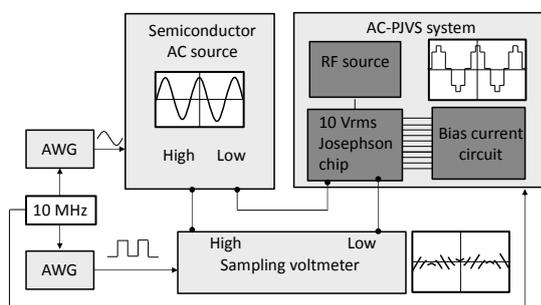


Fig. 1 Schematic diagram of a sampling measurement circuit

Fig. 1 は差動方式回路であるため、交流電圧波形は、可計算な AC-PJVS からの電圧と差電圧から再構築することが可能である。再構築した波形を高速フーリエ変換解析することにより振幅値が計算できるから、実効値を求めることができる。積分時間の影響を考慮して、フーリエ変換後の振幅値には、積分時間補正関数 $\text{sinc}(\pi f t_a) = \sin(\pi f t_a) / (\pi f t_a)$ による補正を加える。ここで、 f は交流電圧周波数、 t_a は積分時間である。

3. 実験結果

Fig. 2 には、出力電圧 10 V, 周波数 62.5 Hz の正弦波交流電圧の予備的な評価結果を示した。まず、差電圧を低減するため、サンプリング DVM の遅延時間の最適化を行った。差電圧と遅延時間の関係を実験的に評価した結果、積分時間が 1 ms では最適な遅延時間は 14.482 ms であることが明らかになった。次に、最適化した遅延時間を用いて、差電圧の測定を行った。遅延時間を最適化したことにより、差電圧は 50 mV 以下まで低減した。差電圧の測定は 10 周期の平均値を採用しており、熱起電力の影響をキャンセルするため極性反転操作 (+/-/-/+) を行い、1 セットとした。同じ手順の測定を 20 セット行い平均値と標準偏差を計算した。その結果、平均値 9.99992 V, 標準偏差 (1σ) は $2.1 \mu\text{V/V}$ を得た。

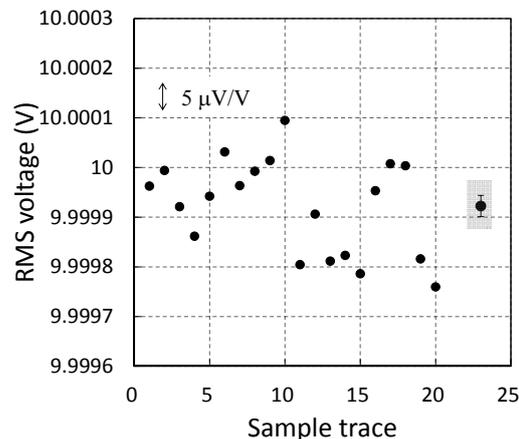


Fig. 2 Measured RMS voltage of a semiconductor AC voltage source. The value in gray rectangle shows the mean value.

4. 結言

本研究では、10 Hz 以下の交流電圧標準への応用を目的に、サンプリング測定回路を構築した。サンプリング測定条件の最適化を進め、10 V の交流電圧実効値の測定に成功した。標準偏差は、 $2.1 \mu\text{V/V}$ であった。今後は、不確かさの評価や、信頼性確認のため、熱電変換素子であるサーマル・コンバータとの相互比較実験を試みる予定である。

参考文献

1. C. A. Hamilton, et al.: IEEE Trans. Instrum. Meas., Vol.44 No. 2 (1995) pp.223-225
2. C. J. Burroughs, et al.: IEEE Trans. Instrum. Meas., Vol.56 No.2 (2007) pp.289-293
3. R. Behr, et al.: IEEE Trans. Instrum. Meas., Vol.56 No. 2 (2008) pp.235-238
4. A. Rüfenacht, et al.: IEEE Trans. Instrum. Meas., Vol. 58, No. 2 (2009) pp.809-815
5. M. Maruyama, et al.: Abstracts of CSJ Conference, May (2014)
6. M. Maruyama, et al.: Proc. CPEM2014 Digest, (2014) (Accepted)

外部弛張振動回路によるデジタル DROS センサの高速安定動作

High-Speed Operation of Digital DROS Sensor with additional Relaxation Oscillation Circuit

明連 広昭, 小林 亮太, 成瀬 雅人, 田井野 徹(埼玉大学)
 Hiroaki Myoren, Ryota Kobayashi, Masato Naruse, and Tohru Taino (Saitama University)
 E-mail: myoren@super.ees.saitama-u.ac.jp

1. まえがき

超伝導量子干渉素子(SQUID)はその高い磁場感度から医療や研究用の磁束計として応用・利用されている。SQUID を磁束計として用いるためには FLL(Flux Locked Loop)と呼ばれる帰還回路を接続する必要がある。デジタル SQUID では単一磁束量子(SFQ)論理回路で FLL を構成し、単一磁束単位で帰還することにより、高ダイナミックレンジ、高スルーレートを実現することが可能となる[1]。

我々は、広いダイナミックレンジと高いスルーレートを持つと期待される二重弛張振動 SQUID (DROS) [2]を用いたデジタル SQUID システムを提案してきた[3]。これまでにデジタル DROS として 3GHz までの弛張振動周波数での動作を確認した。デジタル DROS をより高い弛張振動周波数で動作させようとするとスイッチング作用が正常に行われなくなる。そこで外部に弛張振動回路を結合することで周波数の安定化を図り、弛張振動周波数を向上させることを目的として回路設計、試作および測定を行った。

2. 弛張振動回路を結合した DROS

弛張振動回路を結合した DROS の回路を Fig. 1 に示す。DROS は Signal SQUID (J_1 と J_2 を含むループ)と Reference Junction(J_3)を抵抗 R_{sh} とインダクタンス L_{sh} でシャントした構造を持つ。入力磁束により変調された Signal SQUID の臨界電流 $I_{c, sig}$ と Reference Junction の臨界電流値 $I_{c, ref}$ の大小関係と比較し、いずれかに電圧パルスが生じる。DROS の Signal SQUID を、外部信号磁束が入力される SQUID ループに接続して FLL 動作を行わせると、SQUID ループを貫く実効的な磁束は正負の SFQ パルスの入力によって一定値に保たれる。この SFQ パルス数を計数することにより、SQUID ループに入力された磁束を知ることができる。

提案する回路では、インダクタンス L_{sh} を磁氣的に結合した外部弛張振動回路を Fig. 1 に示すように結合した。外部弛張振動回路のパラメータは DROS の (J_3, R_{sh}, L_{sh}) と同様である。

DROS の弛張振動周波数とバイアス電流の関係を Fig. 2 に示す。DROS の弛張振動周波数にはバイアス電流依存性があり、バイアス電流を増加させると弛張振動周波数も増加する。弛張振動回路を結合することにより、DROS と弛張振動回路との間で共振が起こる。これによりあるバイアスの電流区間で弛張振動回路側の弛張振動に DROS の弛張振動が共振し周波数の安定化が可能となる。さらに DROS のバイアスマージンも広がることが確認できた。

3. 測定結果

設計した回路を作製し、液体ヘリウム温度 4.2K で測定した結果を Fig. 3 に示す。フィードバック回路を接続せずに DROS として動作させたときは Signal SQUID と Reference Junction が交互にスイッチングし、正常に動作していることが確認できた。講演では、デジタル DROS としての動作確認結果や外部弛張振動回路が高速動作にどのように寄与しているかを詳細に報告する。

謝辞

本研究に使用された回路は、(独)産業技術総合研究所(AIST)の超伝導クリーンルーム(CRAVITY)において、AIST-STP2 プロセスを用いて作製された。

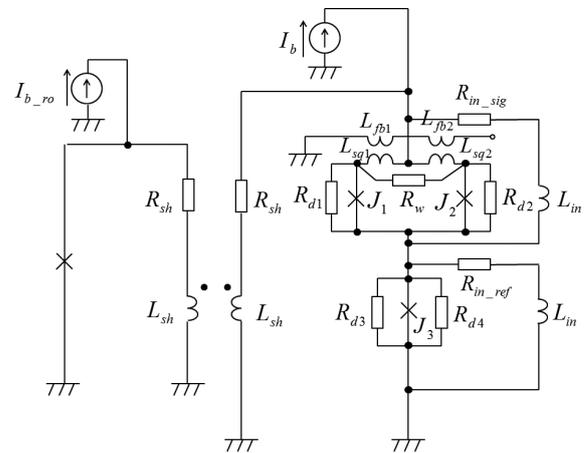


Fig. 1 Block diagram of the DROS coupled with a relaxation oscillation circuit.

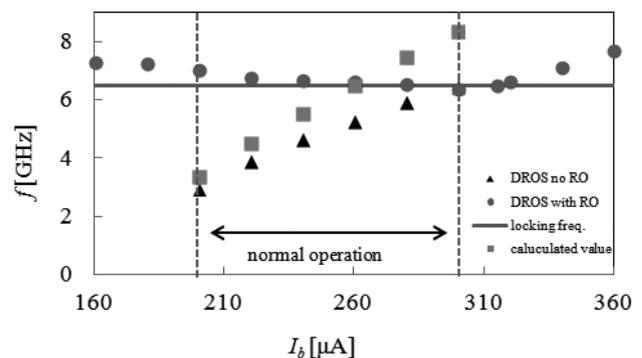


Fig. 2 Relaxation oscillation frequency as a function of a bias current, without and with a relaxation oscillation circuit.

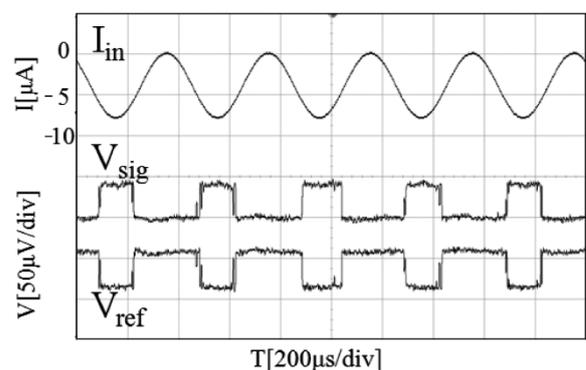


Fig.3 Measurement result of a fabricated DROS using the AIST-STP2.

参考文献

1. V. K. Semenov, IEEE Trans. Appl. Supercond., Vol. 13, pp. 747-750, 2003
2. D. J. Adelerhof, et al et al.: IEEE Trans. Appl. Supercond., Vol. 5, pp. 2160-2167, 1995.
3. H. Myoren, et al., IEEE Trans. on Appl. Supercond., Vol.21, No.3, pp. 387 - 390, 2011.